

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-267473

(43)Date of publication of application : 28.09.2001

(51)Int.Cl.

H01L 23/28  
H01L 21/60  
H01L 23/12  
H01L 23/36  
H01L 25/00

(21)Application number : 2000-076709

(71)Applicant : HITACHI LTD

(22)Date of filing : 17.03.2000

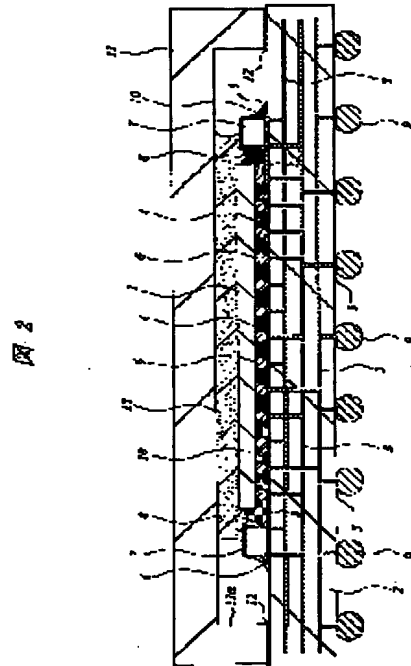
(72)Inventor : ANDO HIDEKO  
KIKUCHI HIROSHI  
YOSHIDA IKUO  
SATO TOSHIHIKO  
SHIMIZU TOMO

## (54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To improve the connection reliability of a passive element mounted in the neighborhood of a chip.

**SOLUTION:** A memory chip 1 is mounted face down in the center of the main surface of a package substrate 2 by a flip chip system. Furthermore, plural capacitors 7 are mounted in the neighborhood of the memory chip 1. A gap between the main surface (lower surface) of the memory chip 1 and the main surface of the substrate 2 is filled with underfill resin (sealing resin) 10 of sealing material for protecting the connection part of both of them and relieving thermal stress. The resin 10 extends its outer edge to the outside of the memory chip 1 to cover the whole surface of the capacitors 7 mounted in the neighborhood of the memory chip 1.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2001-267473  
(P2001-267473A)

(43) 公開日 平成13年9月28日 (2001.9.28)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード (参考)
H 0 1 L 23/28		H 0 1 L 23/28	K 4 M 1 0 9
21/60	3 1 1	21/60	3 1 1 S 5 F 0 3 6
23/12		25/00	B 5 F 0 4 4
23/36		23/12	J
25/00		23/36	Z
審査請求 未請求 請求項の数11 O L (全 12 頁)			

(21) 出願番号 特願2000-78709 (P2000-78709)

(22) 出願日 平成12年3月17日 (2000.3.17)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 安藤 英子

東京都青梅市新町六丁目16番地の3 株式  
会社日立製作所デバイス開発センタ内

(72) 発明者 菊地 広

東京都青梅市新町六丁目16番地の3 株式  
会社日立製作所デバイス開発センタ内

(74) 代理人 100080001

弁理士 筒井 大和

最終頁に続く

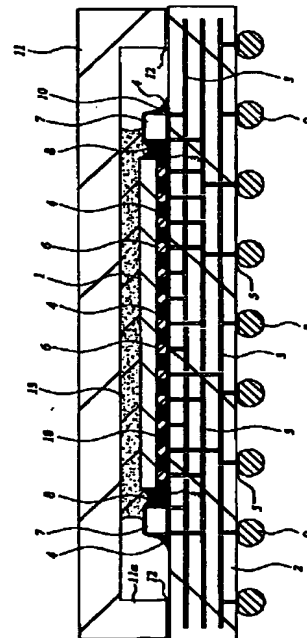
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 チップの近傍に実装される受動素子の接続信頼性を向上させる。

【解決手段】 パッケージ基板2の主面の中央部には、メモリチップ1がフリップチップ方式によってフェイスダウン実装されている。また、メモリチップ1の近傍には、複数のチップコンデンサ7が実装されている。メモリチップ1の主面（下面）とパッケージ基板2の主面との隙間には、両者の接続部の保護および熱応力の緩和を図るための封止材であるアンダーフィル樹脂（封止樹脂）10が充填されている。アンダーフィル樹脂10は、その外縁がメモリチップ1の外側にまで延び、メモリチップ1の近傍に実装されたチップコンデンサ7の全面を覆っている。

図2



【特許請求の範囲】

【請求項1】 配線層を備えた基板と、前記基板の主面上にフェイスダウン実装された半導体チップと、前記基板の主面上に実装された受動素子と、前記半導体チップの主面と前記基板の主面との隙間に充填された封止樹脂と、前記半導体チップと前記受動素子とを封止するキャップと、前記キャップと前記半導体チップとの間に充填された熱伝導材とを有する半導体装置であって、前記受動素子は、前記封止樹脂が被着されたエリア内に配置され、少なくともその一部が前記封止樹脂によって覆われていることを特徴とする半導体装置。

【請求項2】 配線層を備えた基板と、前記基板の主面上にフェイスダウン実装された半導体チップと、前記基板の主面上に実装された受動素子と、前記半導体チップの主面と前記基板の主面との隙間に充填された封止樹脂と、前記半導体チップの上面に熱伝導材を介して接合された放熱板とを有する半導体装置であって、前記受動素子は、前記封止樹脂が被着されたエリア内に配置され、少なくともその一部が前記封止樹脂によって覆われていることを特徴とする半導体装置。

【請求項3】 請求項1または2記載の半導体装置において、前記熱伝導材は、導電性材料であることを特徴とする半導体装置。

【請求項4】 請求項1または2記載の半導体装置において、前記熱伝導材は、絶縁性材料であることを特徴とする半導体装置。

【請求項5】 請求項1または2記載の半導体装置において、前記受動素子は、チップコンデンサであることを特徴とする半導体装置。

【請求項6】 請求項1または2記載の半導体装置において、前記半導体チップは、パンプ電極を介して前記基板の主面上に実装されていることを特徴とする半導体装置。

【請求項7】 請求項1または2記載の半導体装置において、前記基板の主面上に複数の半導体チップが実装され、前記受動素子は、前記複数の半導体チップの隙間に配置されていることを特徴とする半導体装置。

【請求項8】 請求項1または2記載の半導体装置において、前記受動素子と前記基板の主面との隙間に、前記封止樹脂が充填されていることを特徴とする半導体装置。

【請求項9】 以下の工程を有する半導体装置の製造方法；

(a) 配線層を備えた基板の主面上に半導体チップをフェイスダウン実装する工程、(b) 前記基板の主面上の前記半導体チップが実装された領域の近傍に受動素子を実装する工程、(c) 前記半導体チップの主面と前記基板の主面との隙間に封止樹脂を充填し、前記受動素子を前記封止樹脂で被覆する工程、(d) 前記半導体チップの上面に熱伝導材を供給する工程、(e) 前記半導体チ

ップの上面に、前記熱伝導材を介して、前記半導体チップと前記受動素子とを封止するキャップを固着する工程。

【請求項10】 以下の工程を有する半導体装置の製造方法；

(a) 配線層を備えた基板の主面上に半導体チップをフェイスダウン実装する工程、(b) 前記基板の主面上の前記半導体チップが実装された領域の近傍に受動素子を実装する工程、(c) 前記半導体チップの主面と前記基板の主面との隙間に封止樹脂を充填し、前記受動素子を前記封止樹脂で被覆する工程、(d) 前記半導体チップの上面に熱伝導材を供給する工程、(e) 前記半導体チップの上面に前記熱伝導材を介して放熱板を固着する工程。

【請求項11】 請求項9または10記載の半導体装置の製造方法において、前記(c)工程は、前記半導体チップの主面と前記基板の主面との隙間に第1の封止樹脂を充填する工程と、前記受動素子を第2の封止樹脂で被覆する工程とを有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置およびその製造技術に関し、特に、半導体チップと受動素子とが同一の基板に搭載されたパッケージを有する半導体装置に適用して有効な技術に関する。

【0002】

【従来の技術】特開平8-46098号公報は、集積回路が形成された半導体チップ（以下、単にチップという）の熱を外部に放散させるためのヒートシンクを備えたパッケージを開示している。

【0003】上記公報に記載されたパッケージの一態様は、モジュール基板の上面に形成されたパッドの上に半田ボールを介してチップがフェイスダウン実装されている。パッドおよび半田ボールは、モジュール基板とチップとの隙間に充填された封止材によって封止されている。

【0004】モジュール基板の上面には、デカップリング・コンデンサのような一つ以上の電子デバイスがチップと共に実装されている。また、モジュール基板の上面には上記チップと電子デバイスとを封止するためのキャップがシール材を介して固着されており、キャップの上面には接着剤を介してヒートシンクが固着されている。チップの上面（裏面）とキャップの下面との隙間には熱伝導材が充填され、チップで発生した熱がこの熱伝導材およびキャップを通じてヒートシンクに伝達される。

【0005】上記公報に記載されたパッケージの他の態様は、チップの上面（裏面）に両面粘性熱伝導接着テープを介して直接ヒートシンクが接合されている。この態様では、チップと電子デバイスとを封止するためのキ

チップが取り除かれているため、チップの熱がより効率的にヒートシンクに伝達される。

【0006】

【発明が解決しようとする課題】近年の高速LSIは、駆動時のノイズの低減が重要な課題となっており、その対策の一つとして、チップが実装された基板上に小型で大容量のチップコンデンサを実装し、中周波領域のノイズを低減することが行われている。

【0007】この場合、コンデンサは、出来るだけチップに近接して配置し、両者を接続する配線を短くすることが要求される。しかし、高速LSIが形成されたチップは発熱量が多いため、コンデンサをチップの極く近傍に配置した場合は、チップの動作時にコンデンサが急激な温度変化に曝されることとなり、基板との接続信頼性の低下が問題となる。

【0008】また、前記公報記載のパッケージのように、基板上に実装されたチップとコンデンサとをキャップで封止するパッケージは、その製造工程でチップとキャップとの間に熱伝導材を充填する際、キャップの寸法公差を吸収する目的で熱伝導材を多めに供給しなければならないため、コンデンサがチップの極く近傍に配置されていると、チップの端部からはみ出した熱伝導材がコンデンサに接触する。

【0009】その結果、コンデンサは、チップからの輻射熱に曝されるだけでなく、熱伝導材から伝わる高熱にも曝されることとなり、基板との接続信頼性の低下が一層深刻な問題となる。さらに、上記熱伝導材がAgペーストのような導電性材料で構成されている場合には、熱伝導材を介してチップとコンデンサ、あるいはコンデンサ同士が短絡するといった問題も発生する。

【0010】本発明の目的は、チップの近傍に実装される受動素子の接続信頼性を向上させる技術を提供することにある。

【0011】本発明の他の目的は、チップの近傍に実装される受動素子の電気的信頼性を確保する技術を提供することにある。

【0012】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0013】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0014】本発明の半導体装置は、配線層を備えた基板と、前記基板の主面上にフェイスダウン実装された半導体チップと、前記基板の主面上に実装された受動素子と、前記半導体チップの主面と前記基板の主面との隙間に充填された封止樹脂と、前記半導体チップと前記受動素子とを封止するキャップと、前記キャップと前記半導体チップとの間に充填された熱伝導材とを有し、前記受

動素子は、前記封止樹脂が被着されたエリア内に配置され、少なくともその一部が前記封止樹脂によって覆われているものである。

【0015】本発明の半導体装置の製造方法は、以下の工程を有している。

(a) 配線層を備えた基板の主面上に半導体チップをフェイスダウン実装する工程、(b) 前記基板の主面上の前記半導体チップが実装された領域の近傍に受動素子を実装する工程、(c) 前記半導体チップの主面と前記基板の主面との隙間に封止樹脂を充填し、前記受動素子を前記封止樹脂で被覆する工程、(d) 前記半導体チップの上面に熱伝導材を供給する工程、(e) 前記半導体チップの上面に、前記熱伝導材を介して、前記半導体チップと前記受動素子とを封止するキャップを固着する工程。

【0016】

【発明の実施の形態】以下、本発明の実施形態を図面に基づいて詳細に説明する。なお、実施形態を説明するための全図において、同一の部材には同一の符号を付し、その繰り返しの説明は省略する。

【0017】(実施の形態1) 図1は、本実施形態の半導体装置の平面図、図2は、図1のII-II線に沿った断面図、図3は、図2の要部拡大断面図である。

【0018】本実施形態の半導体装置は、例えば高速マイクロプロセッサ(MPU:超小型演算処理装置)用の高速キャッシュメモリが形成されたメモリチップ1を実装するパッケージである。

【0019】この半導体装置のパッケージ基板2はセラミックによって構成され、その内部には信号用配線、電源配線およびグランド配線などを構成する複数層の配線3が形成されている。また、パッケージ基板2の主面(上面)および下面には、上記配線3に電気的に接続された複数の電極パッド4、5が形成されている。配線3および電極パッド4、5はW(タングステン)からなり、電極パッド4、5の表面にはNi(ニッケル)およびAu(金)のメッキが施されている。

【0020】パッケージ基板2の主面の中央部には、前記メモリチップ1がフリップチップ方式によってフェイスダウン実装されている。すなわち、メモリチップ1は、その主面(下面)に接続された複数の半田バンパ(バンパ電極)6を介して、パッケージ基板2の主面の前記電極パッド4に電気的に接続されている。

【0021】メモリチップ1の近傍には、複数のチップコンデンサ7が実装されている。これらのチップコンデンサ7は、メモリチップ1の外周に沿って配置され、半田8を介してパッケージ基板2の主面の前記電極パッド4に電気的に接続されている。図4に示すように、これらのチップコンデンサ7は、パッケージ基板2の電源配線とグランド配線との間に並列に接続され、メモリチップ1の駆動時に生じるノイズを低減して高速動作を実現

している。

【0022】パッケージ基板2の下面の電極パッド5には、この半導体装置（パッケージ）の外部接続端子を構成する複数の半田バンパ9が接続されている。これらの半田バンパ9は、メモリチップ1の主面に接続された前記半田バンパ6よりも低融点の半田材料によって構成されている。半導体装置は、これらの半田バンパ9を介してコンピュータのマザーボードなどに実装される。

【0023】メモリチップ1の主面（下面）とパッケージ基板2の主面との隙間には、両者の接続部の保護および熱応力の緩和を図るための封止材であるアンダーフィル樹脂（封止樹脂）10が充填されている。このアンダーフィル樹脂10は、例えばシリカが充填されたエポキシ樹脂などの絶縁材によって構成されている。

【0024】アンダーフィル樹脂10は、その外縁がメモリチップ1の外側にまで延び、メモリチップ1の近傍に実装された前記チップコンデンサ7の全面を覆っている。また、アンダーフィル樹脂10の一部は、チップコンデンサ7の下面とパッケージ基板2の主面との隙間にも充填されている。すなわち、アンダーフィル樹脂10は、メモリチップ1およびチップコンデンサ7のそれぞれの下面とパッケージ基板2の主面との隙間に充填されると共に、チップコンデンサ7の全面を覆っている。

【0025】パッケージ基板2の主面に実装されたメモリチップ1およびチップコンデンサ7は、パッケージ基板2の主面全体を覆うセラミック製のキャップ11によって封止されている。このキャップ11は、その脚部11aが接着剤12を介してパッケージ基板2の主面に固着されている。

【0026】キャップ11の下面とメモリチップ1の上表面との隙間には、メモリチップ1の駆動時に生じる熱をキャップ11を通じて外部に放散させるための熱伝導材13が充填されている。この熱伝導材13は、例えばAgペーストのような熱伝導率の高い導電材料によって構成されている。

【0027】後述するように、パッケージの組立工程では、メモリチップ1とキャップ11との間に熱伝導材13を充填する際、キャップ11の寸法公差（脚部11aの高さのばらつきなど）を吸収するために熱伝導材13を多めに供給する。そのため、熱伝導材13は、その外縁がメモリチップ1の外側にまで延び、その一部はメモリチップ1の近傍に実装された前記チップコンデンサ7の上表面にまで達している。

【0028】しかしながら、本実施形態の半導体装置は、絶縁材によって構成されるアンダーフィル樹脂10がメモリチップ1とパッケージ基板2との隙間に充填されているだけでなく、チップコンデンサ7の全面を覆っているため、メモリチップ1の外側にはみ出した導電性の熱伝導材13を介してチップコンデンサ7同士がショートしたり、チップコンデンサ7とメモリチップ1とが

ショートしたりする虞はない。

【0029】また、本実施形態の半導体装置は、メモリチップ1の近傍に配置されたチップコンデンサ7がアンダーフィル樹脂10によって被覆されているので、チップコンデンサ7とパッケージ基板2との接続強度が高い。これにより、チップコンデンサ7と電極4との接続信頼性の低下が抑制されるので、チップコンデンサ7の接続寿命が向上する。

【0030】次に、上記のように構成された本実施形態の半導体装置の製造方法を図5～図13を用いて工程順に説明する。

【0031】パッケージを組み立てるには、まず図5に示すように、あらかじめメモリチップ1の主面に接続しておいた半田バンパ6をパッケージ基板2の主面の電極パッド4上に位置決めした後、半田バンパ6をリフローさせることによって、メモリチップ1をパッケージ基板2の主面の中央部にフェイスダウン実装する。半田バンパ6は、例えば2重量%のSnを含むPb-Sn合金（液相線温度320℃～325℃）によって構成される。

【0032】次に、パッケージ基板2の主面を洗浄してフラックス残渣を除去した後、図6に示すように、メモリチップ1の近傍の電極パッド4上にチップコンデンサ7を実装する。チップコンデンサ7は、例えば図7に示すように、長方形の対向する2辺にメッキによって電極20a、20bが形成されたもので、その内部はチタン酸バリウム（ $\text{BaTiO}_3$ ）などからなる高誘電体21を挟んで薄片状のNi電極22が互い違いに重なり合っている。チップコンデンサ7を実装するには、あらかじめ電極20a、20bの表面にメッキで半田8を形成すると共に、パッケージ基板2の電極パッド4の表面にスクリーン印刷などで予備半田を塗布しておき、次に電極20a、20bを電極パッド4上に位置決めした後、半田8をリフローさせる。半田8は、例えば3重量%のAgを含むSn-Ag合金（融点221℃）によって構成される。なお、パッケージ基板2上にメモリチップ1とチップコンデンサ7とを実装する順序は、上記と逆でもよい。また、メモリチップ1とチップコンデンサ7とを電極パッド4上に位置決めした後、半田バンパ6と半田8とを同時に一括してリフローしてもよい。

【0033】次に、パッケージ基板2の主面をもう一度洗浄してフラックス残渣を除去した後、図8に示すように、メモリチップ1の外周にアンダーフィル樹脂10を供給する。アンダーフィル樹脂10の供給は、例えばディスプレイサ30をメモリチップ1の1辺に沿って走査させながら行う。

【0034】次に、アンダーフィル樹脂10の流動性を高めるために、パッケージ基板2を70℃程度に加熱する。これにより、図9に示すように、アンダーフィル樹脂10が毛細管現象によってメモリチップ1およびチッ

ブコンデンサ7のそれぞれの下面に充填される。また、アンダーフィル樹脂10の供給量が適切な場合には、チップコンデンサ7の全面がアンダーフィル樹脂10によって被覆される。その後、アンダーフィル樹脂10を150℃程度でバークして硬化させる。

【0035】このように、メモリチップ1の下面にアンダーフィル樹脂10を充填する際、同時にチップコンデンサ7の全面をアンダーフィル樹脂10で被覆することにより、工程を簡略化することができる。

【0036】チップコンデンサ7の被覆は、アンダーフィル樹脂10以外の被覆材を使って行ってもよい。すなわち図10に示すように、メモリチップ1およびチップコンデンサ7の下面にアンダーフィル樹脂（第1の封止樹脂）10を充填し、続いて、別途用意したコート樹脂（第2の封止樹脂）14でチップコンデンサ7を被覆した後、アンダーフィル樹脂10およびコート樹脂14を同時にバークして硬化させてもよい。この場合は、アンダーフィル樹脂10とコート樹脂14とが一体化することで、チップコンデンサ7とパッケージ基板2との接続強度を向上させることができる。また、チップコンデンサ7を被覆する樹脂の厚さを薄くすることができる。アンダーフィル樹脂10は、毛細管現象を利用して充填するので粘度の低い樹脂を使用するが、コート樹脂14は極く薄い被膜を形成するためのものであり、アンダーフィル樹脂10よりもシリカフィラーの含有率が低く、かつアンダーフィル樹脂10よりもさらに粘度が低いエポキシ樹脂、シリコンワニスなどが使用される。

【0037】次に、図11に示すように、メモリチップ1の上面に図示しないディスペンサなどを使って熱伝導材（Agペースト）13を供給する。熱伝導材13は、キャップ11の寸法公差（脚部11aの高さのばらつきなど）を吸収するために、必要量よりも幾分多めに供給する。またこのとき、パッケージ基板2の主面の周辺部に接着剤12を供給する。

【0038】次に、図12および図13に示すように、キャップ11をパッケージ基板2上に位置決めし、熱伝導材13および接着剤12を加熱硬化させることにより、キャップ11をパッケージ基板2上に固着させる。このとき、熱伝導材13の外縁がチップコンデンサ7の上面にまで達することがあるが、前述したように、チップコンデンサ7はアンダーフィル樹脂10に覆われているため、熱伝導材13によってチップコンデンサ7同士がショートしたり、チップコンデンサ7とメモリチップ1とがショートしたりすることはない。

【0039】その後、パッケージ基板2の下面の電極パッド5の表面に、低融点のPb-Sn共晶合金によって構成される半田ボール（図示せず）を供給した後、半田ボールをリフローさせ、電極パッド5の表面に半田パンブ9を形成することにより、前記図1～図4に示す半導体装置が完成する。

【0040】本実施形態では、パッケージ基板2上にメモリチップ1を1個だけ実装する場合について説明したが、2個以上のメモリチップ1を実装する場合にも適用することができる。例えば図14は、パッケージ基板2上にメモリチップ1を3個実装した例であり、図15は、メモリチップ1を4個実装した例である。これらの場合も、チップコンデンサ7は、メモリチップ1との間の配線（3）を短くすることが要求されるため、メモリチップ1の極く近傍に配置されるが、チップコンデンサ7をアンダーフィル樹脂10で被覆することにより、接続寿命の向上、およびショート不良の防止を図ることができる。

【0041】（実施の形態2）前記実施の形態1では、メモリチップ1およびチップコンデンサ7をキャップ11で封止したパッケージに適用した場合について説明したが、本発明は、例えば図16に示すような、メモリチップ1の上面に熱伝導材16を介して放熱フィン（ヒートシンク）15あるいは平坦な放熱板を接続するパッケージに適用することもできる。また、熱伝導材16が、例えばBN（窒化ホウ素）やアルミナのような熱伝導率の高い絶縁性材料によって構成されている場合にも適用することができる。

【0042】熱伝導材16が絶縁性材料によって構成されている場合は、ショート不良の問題は生じないが、チップコンデンサ7をメモリチップ1の近傍に配置する場合は、メモリチップ1の発熱による接続寿命の低下が問題となる。従って、この場合は、図17に示すように、チップコンデンサ7の下部にアンダーフィル樹脂10を充填することにより、チップコンデンサ7と電極4との接続強度が高くなり、チップコンデンサ7の接続寿命が向上する。

【0043】また、本実施形態のパッケージにおいても、熱伝導材16が導電性材料によって構成されている場合には、熱伝導材16の供給量のばらつきによって熱伝導材16がメモリチップ1の外側にはみ出すことがあるので、ショート不良が問題となる。従って、この場合もチップコンデンサ7をアンダーフィル樹脂10で被覆することにより、メモリチップ1の外側にはみ出した導電性の熱伝導材16を介してチップコンデンサ7同士がショートしたり、チップコンデンサ7とメモリチップ1とがショートしたりする不良を防止することができる。

【0044】以上、本発明者によってなされた発明を前記実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0045】前記実施の形態では、高速メモリチップを実装するパッケージに適用した場合について説明したが、これに限定されるものではなく、一般に発熱量の多い高速LSIが形成された半導体チップの近傍にチップ

コンデンサを配置するパッケージに広く適用することができる。

【0046】また、チップコンデンサに限らず、抵抗素子などの受動素子を発熱量の多い半導体チップの近傍に配置するパッケージに広く適用することができる。

【0047】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0048】本発明によれば、半導体チップの近傍に配置された受動素子を封止樹脂で被覆することにより、受動素子が半導体チップからの高温に直接曝されることがないので、受動素子の接続信頼性の低下が抑制され、接続寿命が向上する。

【0049】また、半導体チップとキャップ（または放熱板）との間に充填する熱伝導材が導電性材料で構成される場合は、受動素子を封止樹脂で被覆することにより、受動素子同士がショートしたり、受動素子と半導体チップとがショートしたりする不良を防止することができる。

【図面の簡単な説明】

【図1】本発明の一実施形態である半導体装置の平面図である。

【図2】図1のII-II線に沿った断面図である。

【図3】図2の要部拡大断面図である。

【図4】メモリチップとチップコンデンサとの接続状態を示す図である。

【図5】本発明の一実施形態である半導体装置の製造方法を示す断面図である。

【図6】本発明の一実施形態である半導体装置の製造方法を示す断面図である。

【図7】(a)はチップコンデンサの平面図、(b)は(a)のA-A線に沿った断面図である。

【図8】本発明の一実施形態である半導体装置の製造方法を示す断面図である。

【図9】本発明の一実施形態である半導体装置の製造方法を示す断面図である。

【図10】本発明の一実施形態である半導体装置の製造方法を示す断面図である。

【図11】本発明の一実施形態である半導体装置の製造方法を示す断面図である。

【図12】本発明の一実施形態である半導体装置の製造方法を示す断面図である。

【図13】本発明の一実施形態である半導体装置の製造方法を示す断面図である。

【図14】本発明の他の実施形態である半導体装置の平面図である。

【図15】本発明の他の実施形態である半導体装置の平面図である。

【図16】本発明の他の実施形態である半導体装置の断面図である。

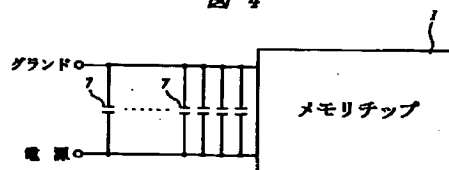
【図17】本発明の他の実施形態である半導体装置の要部拡大断面図である。

【符号の説明】

- 1 メモリチップ
- 2 パッケージ基板
- 3 配線
- 4、5 電極パッド
- 6 半田バンパ（バンパ電極）
- 7 チップコンデンサ（受動素子）
- 8 半田
- 9 半田バンパ
- 10 アンダーフィル樹脂（封止樹脂）
- 11 キャップ
- 11a 脚部
- 12 接着剤
- 13 熱伝導材
- 14 コート樹脂
- 15 放熱フィン（放熱板）
- 16 熱伝導材
- 20a、20b 電極
- 21 高誘電体
- 22 Ni電極
- 30 ディスベンサ

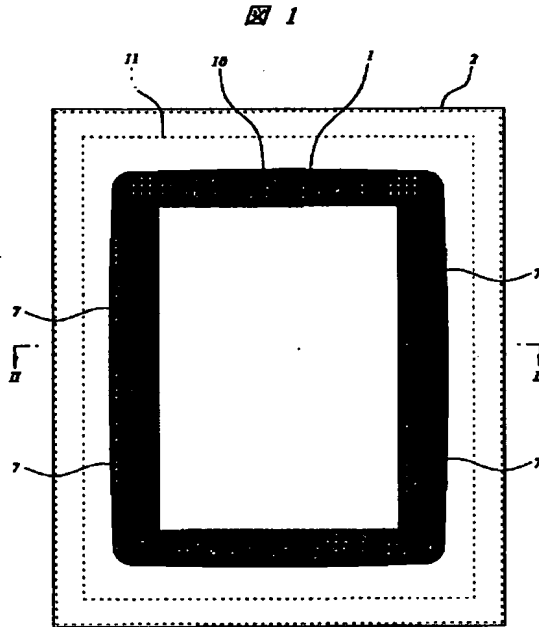
【図4】

図 4

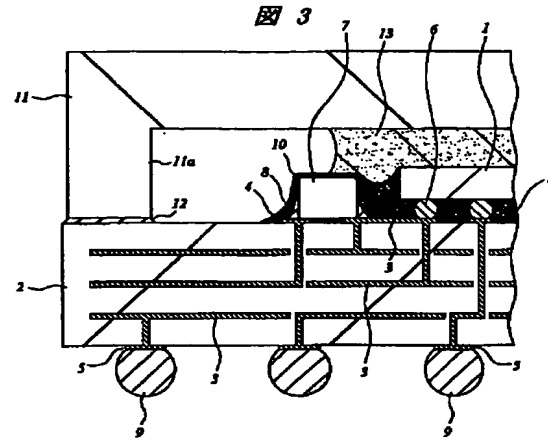




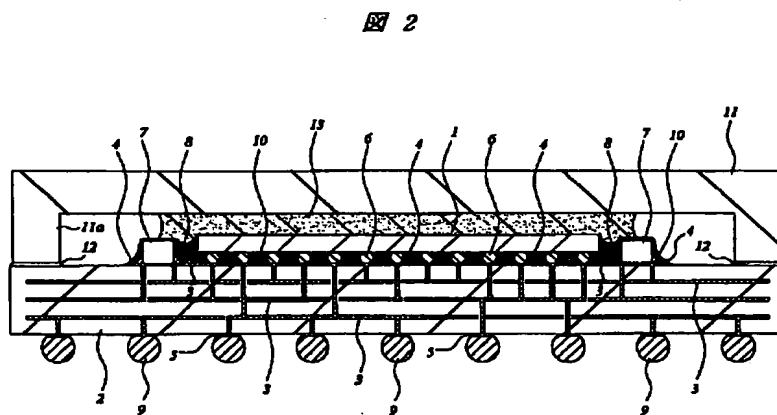
【図1】



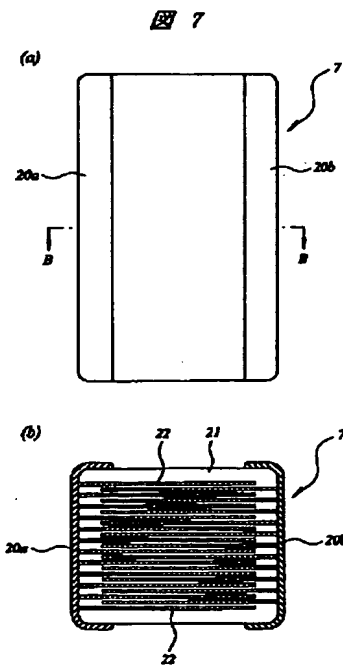
【図3】



【図2】



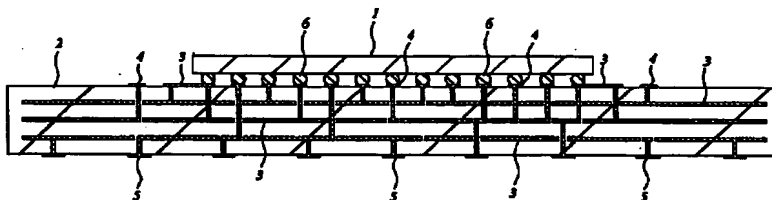
【図7】



!(8) 001-267473 (P2001-26JL8

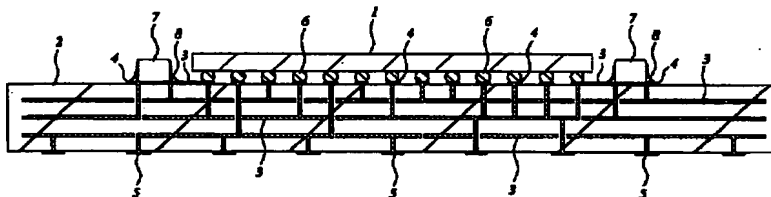
【图5】

图 5



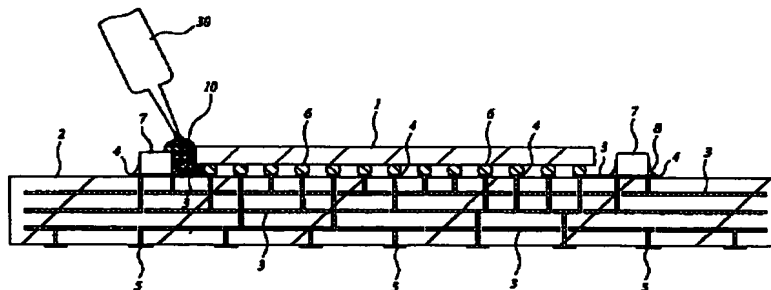
【图6】

图 6



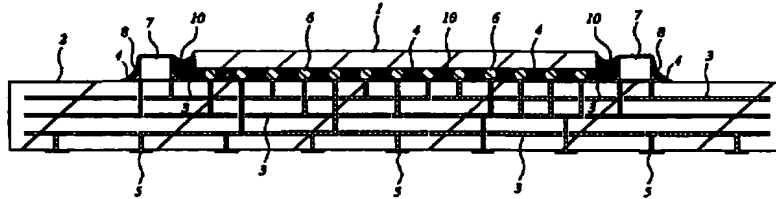
【图8】

图 8



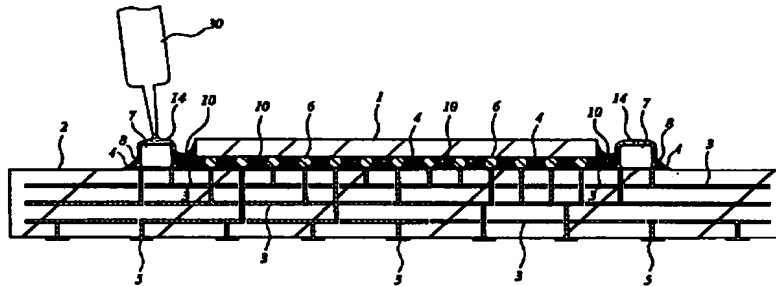
【図9】

図 9



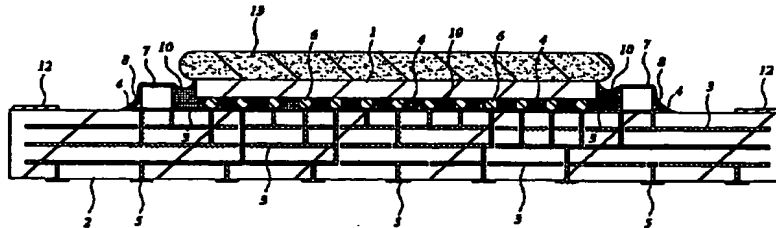
【図10】

図 10



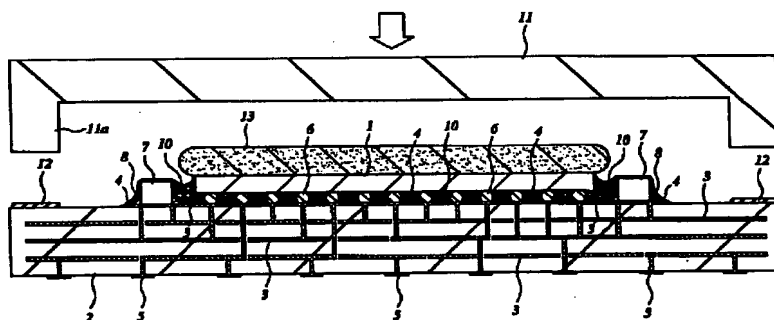
【図11】

図 11



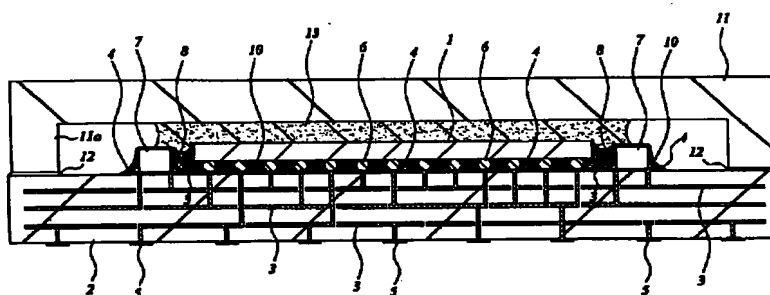
【図12】

図 12



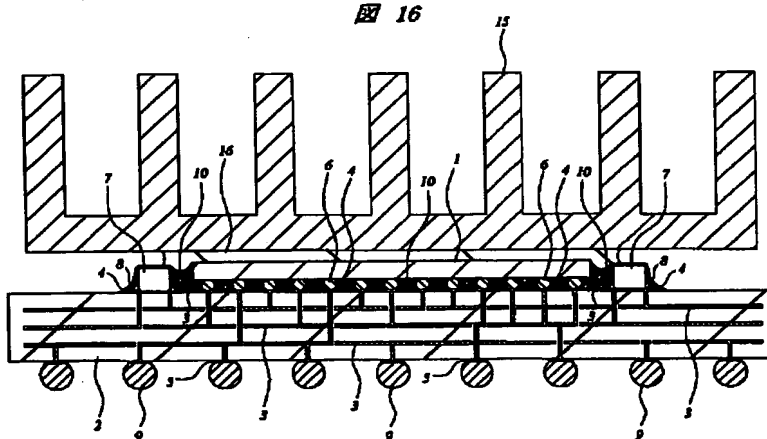
【図13】

図 13

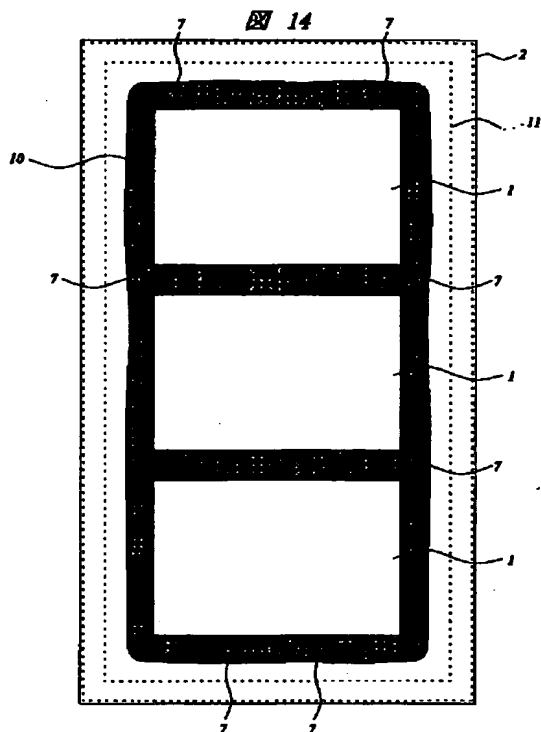


【図16】

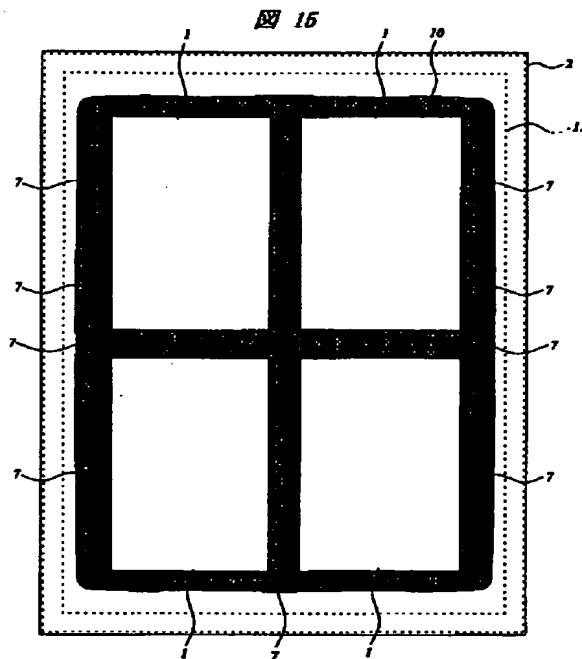
図 16



【図14】

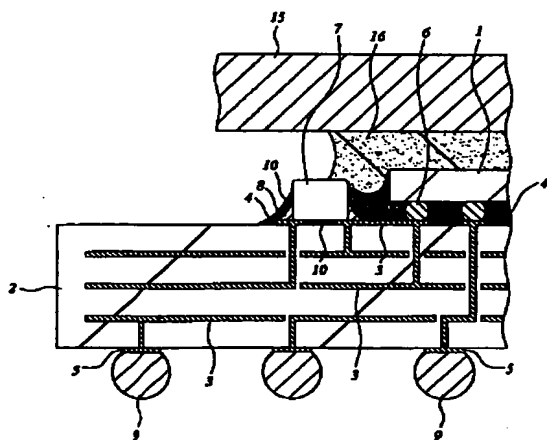


【図15】



【図17】

図 17



(12) 101-267473 (P2001-26JL8)

フロントページの続き

(72)発明者 吉田 育生  
東京都青梅市新町六丁目16番地の3 株式  
会社日立製作所デバイス開発センタ内  
(72)発明者 佐藤 俊彦  
東京都青梅市新町六丁目16番地の3 株式  
会社日立製作所デバイス開発センタ内

(72)発明者 清水 朋  
東京都青梅市新町六丁目16番地の3 株式  
会社日立製作所デバイス開発センタ内  
Fターム(参考) 4M109 AA01 BA03 CA04 DB09 GA05  
5F036 AA01 BB01 BB21 BE01  
5F044 KK07 LL01 RR17 RR18